

Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) EP 0 698 968 A1

(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:  
28.02.1996 Patentblatt 1996/09

(51) Int. Cl.<sup>6</sup>: H03L 7/07

(21) Anmeldenummer: 95110243.3

(22) Anmeldetag: 30.06.1995

(84) Benannte Vertragsstaaten:  
AT BE CH DE DK ES FR GB GR IE IT LI LU NL PT  
SE

(30) Priorität: 24.08.1994 DE 4431415

(71) Anmelder: DeTeWe - Deutsche Telephonwerke  
Aktiengesellschaft & Co.  
D-10997 Berlin (DE)

(72) Erfinder:

- Egbers, Jochen  
D-12247 Berlin (DE)
- Goerge, Rainer  
D-12161 Berlin (DE)
- Huhn, Karl-Eckardt  
D-13465 Berlin (DE)
- Riehm, Nikolaus  
D-22359 Hamburg (DE)

(54) **Verfahren zum Synchronisieren der Ausgangsfrequenzen eines Taktgenerators**

(57) Ein Verfahren zum Synchronisieren der Ausgangsfrequenzen eines Taktgenerators z. B. in Telekommunikations-Anlagen auf externe Eingangsfrequenzen hoher Genauigkeit nutzt eine relativ ungenaue Arbeitsfrequenz (FWORK) als Grundfrequenz für den Taktgenerator. Durch einen Frequenzsynthesizer (FSYN) wird die Grundfrequenz in eine genaue Frequenz umgesetzt. Die externen Eingangsfrequenzen (FE) werden mittels eines einstellbaren Frequenzbewerters (FB) in eine

Normfrequenz (FNOR) umgewandelt, die von einem digitalen Phasenregelkreis (DPLL) ausgegebene Signalfrequenz (SIP) wird synchron zur Normfrequenz (FNOR) geregelt und ein Frequenzteiler (FT) erzeugt die systeminternen Ausgangsfrequenzen (FA), wobei ein vorgeschalteter analoger Phasenregelkreis (APLL) Korrekturen an der Signalfrequenz (SIP) vornimmt, die dem Verhindern von Zeitsprüngen der Ausgangsfrequenzen (FA) dienen.

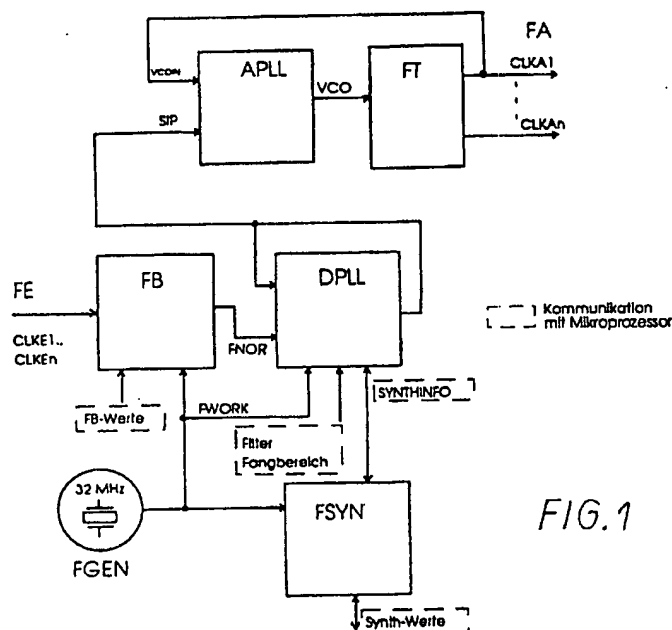


FIG. 1

EP 0 698 968 A1

## Beschreibung

Die Erfindung betrifft ein Verfahren zum Synchronisieren der Ausgangsfrequenzen eines Taktgenerators einer Anlage auf externe Eingangsfrequenzen hoher Genauigkeit.

In digitalen Nachrichtennetzen wird die Netzsynchronisierung nach dem Master-Slave-Verfahren angewendet. Hierbei steuert ein Taktgeber als Master direkt oder über Zwischenstufen alle Vermittlungsstellen. Diese Vermittlungsstellen sind auch für die Synchronisation angeschlossener Nebenstellennetze und Nebenstellenanlagen zuständig. Das heißt, die vom Netz, z. B. dem ISDN-Netz, angebotenen Takte werden von der angeschlossenen Telekommunikations-Anlage synchron in die benötigten Takte umgesetzt. Schnelle Schwankungen, Phasenjitter, und/oder langsame Schwankungen, Phasenwander der Eingangssignale, sind beim Auftreten im entsprechenden Umfang zu reduzieren.

Der Erfindung lag die Aufgabe zugrunde, für einen Taktgenerator ein Verfahren zum Synchronisieren der Ausgangsfrequenzen auf externe Eingangsfrequenzen aufzuzeigen, das eine Phasenjitter-Reduktion und eine Phasenwander-Erkennung umfaßt, sowie die Überbrückung von Ausfällen der angebotenen Takte in entsprechendem Umfang garantiert. Die Herstellung eines Taktgenerators soll den Einsatz wirtschaftlicher Bauelemente sowie eine weitgehende Integration dieser Bauelemente gestatten.

Diese Aufgabe ist durch die Merkmalskombination gelöst:

Eine relativ ungenaue Arbeitsfrequenz dient als Grundfrequenz für den Taktgenerator, die durch einen Frequenzsynthesizer in eine genaue Frequenz umgesetzt wird, die externen Eingangsfrequenzen werden mittels eines einstellbaren Frequenzbewerters in eine Normfrequenz umgewandelt, die von einem digitalen Phasenregelkreis ausgegebene Signalfrequenz wird synchron zur Normfrequenz geregelt und ein Frequenzteiler erzeugt die systeminternen Ausgangsfrequenzen, wobei ein vorgeschalteter analoger Phasenregelkreis Korrekturen an der Signalfrequenz vornimmt, die dem Verhindern von Zeitsprüngen der Ausgangsfrequenzen dienen.

Der Vorteil eines derartigen Taktgenerators ist die Verwendung kostengünstiger Quarz-Oszillatoren mit geringen Genauigkeitsanforderungen, ein geringer Raumbedarf durch die Möglichkeit der Integration großer Teile der Schaltungsanordnung auf einen Baustein und die Nutzung eines vorhandenen Mikroprozessors der Anlage, der nur gering belastet wird. Ferner kann durch einen externen Schaltkreis eine Rückmeldung zur Wander-Bewertung der Eingangsfrequenz ermöglicht werden.

Weitere vorteilhafte Maßnahmen sind Gegenstand der Unteransprüche.

Die Erfindung wird nachfolgend anhand einer aus drei Figuren bestehenden Zeichnung näher erläutert. Darin zeigen die

- Fig. 1 das Blockschaltbild eines Taktgenerators, die
- Fig. 2 das Beispiel der Integration von Teilen des Taktgenerators und die
- Fig. 3 das Ablaufdiagramm für den Taktgenerator.

Der Taktgenerator nach Fig. 1 setzt sich aus einem Frequenzgenerator FGEN, einem Frequenzbewerter FB, einem digitalen Phasenregelkreis DPLL, einem analogen Phasenregelkreis APLL, einem Frequenzsynthesizer FSYN und einem Frequenzteiler FT zusammen. Der Taktgenerator erzeugt mehrere zu einer Eingangsfrequenz FE hoher Genauigkeit synchrone, jitterreduzierte Ausgangsfrequenzen FA.

Die Einstellung des Taktgenerators wird über einen in z. B. einer Telekommunikations-Anlage vorhandenen Mikroprozessor gesteuert, von dem in den Figuren 1 bis 3 nur die Meldungseingänge bzw. Meldungsausgänge angedeutet sind.

Der Frequenzgenerator FGEN dient dem Erzeugen einer Arbeitsfrequenz FWORK mit einer relativ ungenauen Frequenz, zum Beispiel typisch 32 MHz  $\pm$  100 ppm. Diese Arbeitsfrequenz FWORK ist die Grundfrequenz für die gesamte Taktgenerator-Schaltung. Sie wird an den Frequenzbewerter FB, den Frequenzsynthesizer FSYN und den digitalen Phasenregelkreis DPLL gelegt. Für die Anwendung kostengünstiger Quarz-Oszillatoren sind lediglich deren Kurzzeitalterung und Temperaturverhalten von Bedeutung.

Der Frequenzsynthesizer FSYN ist mit dem digitalen Phasenregelkreis DPLL und dem steuernden Mikroprozessor z. B. der Telekommunikations-Anlage verbunden. Der Frequenzsynthesizer FSYN ermittelt unter Berücksichtigung der Frequenzgenauigkeit der Arbeitsfrequenz FWORK die Korrekturwerte für den digitalen Phasenregelkreis DPLL. Die Information über diese Korrekturwerte wird z. B. vom Mikroprozessor der Telekommunikations-Anlage als Initialisierungswert für den Frequenzsynthesizer FSYN abrufbar gespeichert.

Fällt die Eingangsfrequenz FE aus, oder wird z. B. die Telekommunikations-Anlage initialisiert, wird über den Mikroprozessor MP der zuletzt abgespeicherte Wert in den Frequenzsynthesizer FSYN geladen. Diese Vorgehensweise gewährleistet, daß die zuvor erreichte Genauigkeit der Ausgangsfrequenz FA ohne Frequenz- und Phasensprung vom Taktgenerator gehalten wird.

Der einstellbare Frequenzbewerter FB prüft die Eingangsfrequenz FE bei jeder Neuanschaltung eines anderen Taktes auf die Einhaltung der Frequenzgrenzen über einen bestimmten Zeitraum, beispielsweise 2 ms, und normiert für die weitere Bearbeitung die Eingangsfrequenz FE auf eine Normfrequenz FNOR, beispielsweise 8 kHz. Durch die Einführung einer Normfrequenz FNOR ist der Taktgenerator unabhängig von der jeweils angebotenen Eingangsfrequenz FE, z. B. typisch CLK1 = 1,536 MHz oder CLK2 = 2,048 MHz.

Die für den Taktgenerator gültigen Bereiche der Eingangsfrequenzen FE werden durch den Mikroprozessor der z. B. Telekommunikations-Anlage vorgegeben und im Frequenzbewerter FB programmiert.

Der digitale Phasenregelkreis DPLL regelt seine ausgegebene Signalfrequenz SIP derart, daß sie immer synchron der Normfrequenz FNOR ist. Damit wird der Phasenjitter der Eingangsfrequenz FE reduziert. Die Veränderung der Signalfrequenz SIP des digitalen Phasenregelkreises DPLL wird durch Einfügen oder Weglassen von Impulsen des Ausgangsbitstromes erreicht. Hierzu werden die Informationen des Frequenzsynthesizers FSYN und die des digitalen Phasenregelkreises DPLL zusammengefaßt und zum Steuern des Bitstromes verwendet. Die Filtereigenschaften und der Fang- bzw. Haltebereich des digitalen Phasenregelkreises DPLL sind durch den Mikroprozessor der z. B. Telekommunikations-Anlage programmierbar.

Der analoge Phasenregelkreis APLL dient dem Verhindern von Zeitsprüngen der Ausgangsfrequenzen FA durch Korrekturen an der Signalfrequenz SIP des digitalen Phasenregelkreises DPLL. Beim Einschalten des Taktgenerators nach einem Rücksetzen sorgt der analoge Phasenregelkreis APLL für eine Ausgangsfrequenz FA, solange der digitale Phasenregelkreis DPLL noch nicht betriebsbereit ist.

Der Frequenzteiler FT setzt die hohe Frequenz VCO des analogen Phasenregelkreises APLL in die systemintern benötigten Ausgangsfrequenzen FA um, z. B.  $CLKA1 = 2,048 \text{ MHz}$  und  $CLKA2 = 8,192 \text{ MHz}$ .

Wie der Figur 2 entnehmbar ist, lassen sich in wirtschaftlicher Weise der Frequenzbewerter FB, der digitale Phasenregelkreis DPLL, der Frequenzsynthesizer FSYN und der Frequenzteiler FT zu einem Taktgenerator-Schaltkreis TG-ASIC integrieren.

Als Frequenzgenerator FGEN dient, wie bereits erwähnt, ein Quarz-Oszillator hoher Frequenz mit geringer Genauigkeit.

Als analoger Phasenregelkreis APLL wird ein kostengünstiger Standard-Schaltkreis eingesetzt.

Der Taktgeneraor-Schaltkreis TG-ASIC, der Frequenzgenerator FGEN und der analoge Phasenregelkreis APLL können auch in einem kundenspezifischen Baustein integriert werden.

In der Figur 3 ist das Ablaufdiagramm des Taktgenerators dargestellt, aus dem dessen Funktion ersichtlich ist. Nach dem Rücksetzen in die Ausgangslage werden dem digitalen Phasenregelkreis DPLL die Filtereigenschaften und der Fang- bzw. Haltebereich vom Mikroprozessor MP übermittelt. Ebenso werden dem Frequenzsynthesizer FSYN die Informationen über die zuletzt erreichte Ausgangsfrequenz bzw. die Initialisierungswerte bei der Erstanschaltung mitgeteilt. Dann werden durch den Mikroprozessor MP dem Frequenzbewerter FB die gültigen Frequenzbereiche für die anliegenden Eingangsfrequenzen FE übermittelt. Nach dem Start durch den Mikroprozessors MP wird die Regelung, wie in der Fig. 3 dargestellt, vorgenommen. Dabei werden auch eine Wander-Bewertung der Eingangsfre-

quenz FE durch Ausnutzung einer Rückmeldung eines externen Schaltkreises berücksichtigt und ein Jitter reduziert.

Nach Erreichen des Synchronzustandes werden die Grenzen des Regelbereiches durch den Taktgenerator geprüft. Ein Ausfall der Eingangsfrequenz FE wird durch den Taktgenerator erkannt. Solange der Taktgenerator synchron ist, werden regelmäßig die aktuellen Einstellwerte durch den Mikroprozessor MP ausgelesen, um sie beim Neustart oder beim Ausfall der Eingangsfrequenz FE als neue Initialisierungswerte für den Frequenzsynthesizer FSYN zu verwenden.

#### Patentansprüche

1. Verfahren zum Synchronisieren der Ausgangsfrequenzen eines Taktgenerators einer Anlage auf externe Eingangsfrequenzen hoher Genauigkeit, dadurch gekennzeichnet, daß eine relativ ungenaue Arbeitsfrequenz (FWORK) als Grundfrequenz für den Taktgenerator dient, die durch einen Frequenzsynthesizer (FSYN) in eine genaue Frequenz umgesetzt wird, daß die externen Eingangsfrequenzen (FE) mittels eines einstellbaren Frequenzbewerter (FB) in eine Normfrequenz (FNOR) umgewandelt werden, daß die von einem digitalen Phasenregelkreis (DPLL) ausgegebene Signalfrequenz (SIP) synchron zur Normfrequenz (FNOR) geregelt wird und daß ein Frequenzteiler (FT) die systeminternen Ausgangsfrequenzen (FA) erzeugt, wobei ein vorgeschalteter analoger Phasenregelkreis (APLL) Korrekturen an der Signalfrequenz (SIP) vornimmt, die dem Verhindern von Zeitsprüngen der Ausgangsfrequenzen (FA) dienen.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Steuerung des Taktgenerators ein beliebiger z. B. in einer Telekommunikations-Anlage vorhandener Mikroprozessor verwendet wird.
3. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß bei Ausfall der Eingangsfrequenz (FE) der Taktgenerator mittels der zuletzt durch den Frequenzsynthesizer (FSYN) ermittelten Werte die zuvor erreichte Genauigkeit der Ausgangsfrequenz (FA) ohne Frequenz- und Phasensprung beibehält.
4. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß die Arbeitsfrequenz (FWORK) von einem Quarzoszillator geringer Genauigkeit eines Frequenzgenerators (FGEN) erzeugt wird.
5. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß beim Umsetzen der Arbeitsfrequenz (FWORK) in eine genaue Frequenz die vom Frequenzsynthesizer (FSYN) ermittelten Korrekturwerte im verwendeten Mikroprozessor gespeichert werden.

6. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß der Frequenzbewerter (FB) bei Neuschalten des Taktgenerators die Eingangsfrequenz (FE) während eines bestimmten Zeitraumes auf das Einhalten vorgegebener Frequenzgrenzen prüft. 5
7. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß zum Synchronisieren der Signalfrequenz (SIP) auf die Normfrequenz (FNOR) Informationen des Frequenzsynthesizers (FSYN) und des digitalen Phasenregelkreises (DPLL) zusammengefaßt und zum Steuern verwendet werden. 10 15
8. Anordnung zum Verfahren nach Anspruch 1 bis 7, dadurch gekennzeichnet, daß der Frequenzsynthesizer (FSYN), der Frequenzbewerter (FB), der digitale Phasenregelkreis (DPLL) und der Frequenzteiler (FT) auf einen Taktgenerator-Schaltkreis (TG-ASIC) integriert sind. 20

25

30

35

40

45

50

55

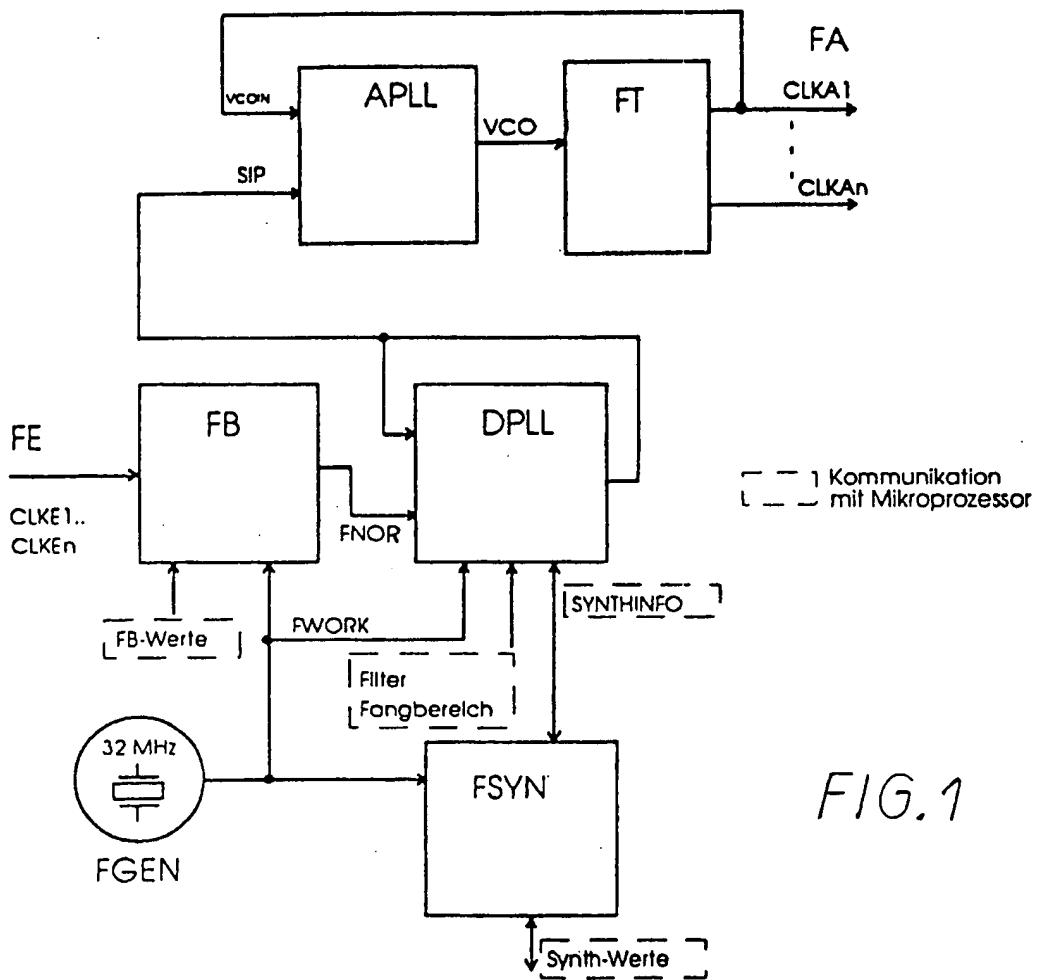


FIG. 1

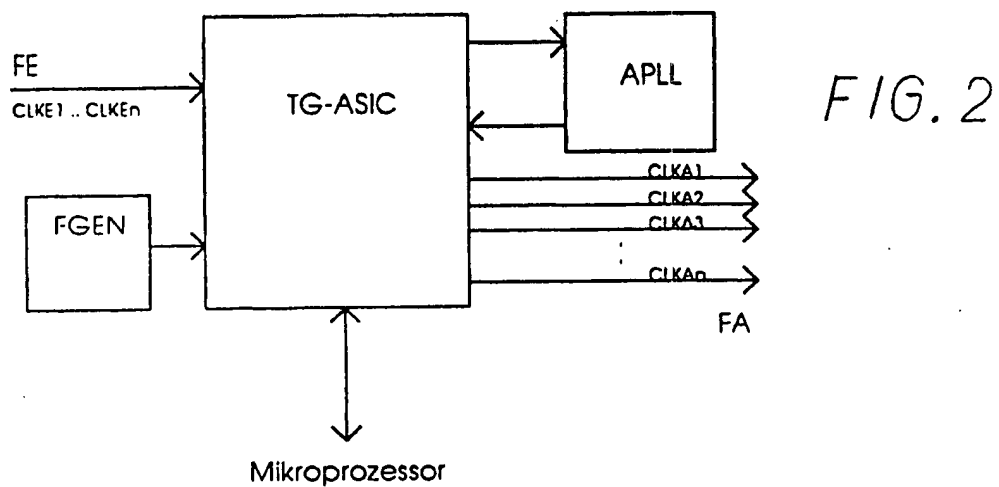


FIG. 2

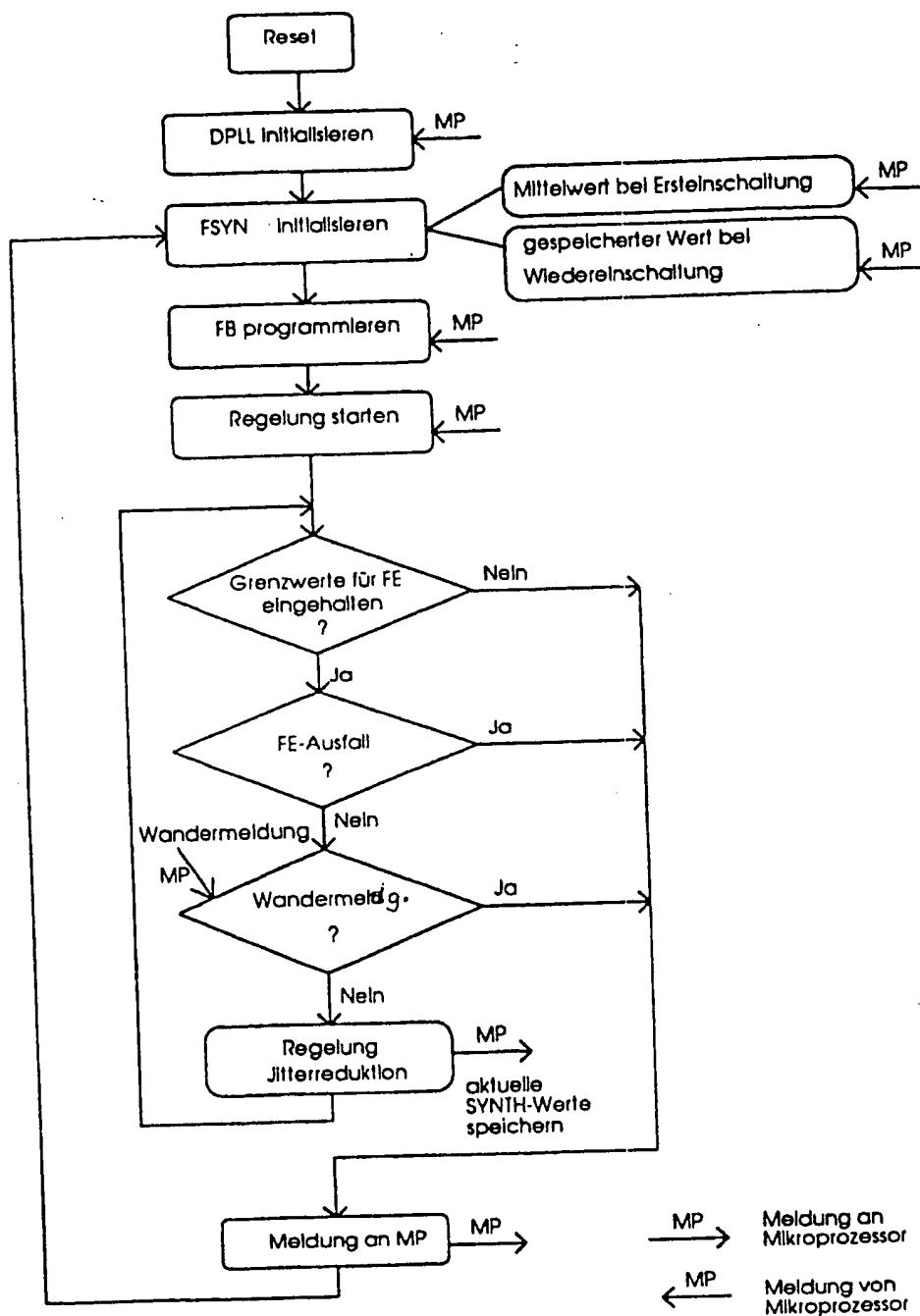


FIG. 3